

English Abstract

JP 55-59492

- Title of the Invention: Matrix Panel Display Device

- Scope of the Claims

1. A matrix panel display device comprising light emitting devices such as LEDs arranged in rows (horizontal direction) and columns (vertical direction) spaced apart by a predetermined interval, wherein odd-numbered and even-numbered light emitting devices in each column are connected to independent first and second signal electrode groups, respectively, while each row of light emitting devices is connected to a corresponding scanning electrode, thereby forming a matrix panel, and wherein a PWM signal corresponding to pixel pattern information corresponding to the first and second signal electrode groups is applied row-by-row, while a scanning pulse of width $2H$ (H is the horizontal scanning time of an original image signal or an integer multiple thereof), delayed by H , is sequentially applied to each of the scanning electrodes to shift the light emitting devices of 2 mutually adjacent rows by one row each while performing display.

④ 公開特許公報 (A)

昭55-59492

④ Int. Cl.³
G 09 G 3/04

識別記号

庁内整理番号
7013-5C

④ 公開 昭和55年(1980)5月2日

発明の数 1
審査請求 未請求

(全 5 頁)

④ マトリックスパネル表示装置

守口市京阪本通 2 丁目 18 番地三
洋電機株式会社内

④ 特 願 昭53--133592

④ 出 願 人 三洋電機株式会社

④ 出 願 昭53(1978)10月27日

守口市京阪本通 2 丁目 18 番地

④ 発 明 者 黒田明郎

④ 出 願 人
↓
Applicant: Sanyo Electric Co. Ltd.

2

明 細 書

1. 発明の名称 マトリックスパネル表示装置
2. 特許請求の範囲

(1) 一定間隔で行 (横方向)、列 (縦方向) に沿って配列した LED 等の発光素子の各列の奇数番目と偶数番目の発光素子を各々独立した第 1、第 2 信号電極群に接続すると共に各行の発光素子を各対応する走査電極に接続してマトリックスパネルを構成し、前記第 1、第 2 信号電極群に対応する給電情報に相当する PWM 信号を 1 行単位で印加すると共に、上記各走査電極に順次 2 H (但し H は原映像信号の水平走査期間若しくはその数倍の期間) で順次だけ遅延した走査パルス印加して相隣る 2 行の発光素子を 1 行ずつシフトして表示すべく構成したマトリックスパネル表示装置。

3. 発明の詳細な説明

本発明は、LED 等を発光素子とするマトリックスパネル表示装置に関し、マトリックスパネルを構成する発光素子の数を増加することなく発光

輝度の向上を計ることを目的とする。

LED 等を発光素子とするマトリックスパネルは、基本的に T 画面のアスペクト比に応じた行 (横)、列 (縦) 数の LED を縦横にマトリックス状に配列して構成される。そして十分な輝度を確保するために、単位行 (例 320 個) 毎に各 LED も同時に 1 H (水平走査時間) 駆動点灯する方法を採っている。従って各発光素子には 1/2625 のデューティのパルス電圧が流れるが、走査線選択スイッチには 320 個 (単位行分) の LED に流れる電流が偏算されて流れるから、相当大容量のものが必要となる。本発明は新るスイッチ等の容量を変えることなく、発光輝度を 2 倍としたマトリックスパネル表示装置を提案するものである。以下本発明の詳細を図面を参照しつつ説明する。

第 1 図は本発明の構成要件の一つであるマトリックスパネルの要部拡大図を要するものである。同図において、発光素子 (LED) は、一般に LmN (但し m、N は整数) で示される。

第 1、第 3、第 5 …… 一般に (2m-1) 行の発

光素子は行（横列或は水平）方向に、発光表示すべき1絵素置きに等間隔で配置され、各行の間隔もまた等間隔になるようにセラミック基板上の走査電極上に図示の如く配列される。

これに対し、第2、第4……一般的に第2m行の発光素子は、行、列方向に夫々第(2m-1)行と第(2m-1)行の発光素子を隔開すべく図示の如く各 $\frac{1}{2}$ ピッチずつずれた位置に配置され両者相俟ってマトリックスパネルを構成する。そして、第(2m-1)行の各発光素子(L11, L12, …… L1n), (L31, L32, …… L3n) …… (L(2m-1)1, L(2m-1)2 …… L(2m-1)n)は夫々共通の(第2m-1)走査用電極、SC2m-1に、また、第2m行の各発光素子(L21, L22 …… L2n)(L41, L42 …… L4n) …… (L2m1, L2m2, …… L2mn)は、夫々共通の第2m走査用電極SC2mにそれぞれ接続される。

また、第1, 3, 5 ……一般的に第(2n-1)列を形成する各発光素子群は、各々の列毎に共通の信号電極に（即ち第2k-1列の発光素子群

は第2k-1信号電極に）接続され、第2, 4, 6 ……一般的に第2n列を形成する各発光素子群は各々の列毎に共通の信号電極に（即ち第2n列の発光素子群は第2k信号電極に）接続される。

行、列各発光素子（絵素子）を等間隔で配置してマトリックスパネルを構成する場合に、第2図の如く各列の発光素子のうち、(2n-1)（奇数）番目のものを対応する第2k-1信号電極に、2n（偶数）番目のものを対応する第2k信号電極に接続する。

各発光絵素と各対応電極間の接続は、フォトエッチング処理される格子状透明導電性電極に導電性極微細を介して接離し或はワイヤボンディング法等を採ってもよい。また、基板として、セラミックの代りに珪酸層を設けたアルミニウム板を使用することができる。

次に、第3図のブロック図を参照しつつ、斯るマトリックスパネルの駆動回路について説明する。通常、マトリックスパネルは、水平ドライバ回路H Dに依って1ライン毎に、そのラインを構成す

る発光素子群に対応する輝度（PWM）信号を一斉に付与し、垂直走査ドライバ回路V Dに依って発光ラインを順次上方から下方にシフトする構成を採っているが、本発明においては、水平ドライバ回路を前記第(2k-1)、第2kの各信号電極群に対応して、2系列（H D1及びH D2）設けると共に、各々に対応するPWM信号を供給した状態で相隣る走査電極に同時に2巾巾（但しHは表示すべき映像信号の水平走査期間若しくはその整数倍の期間を示す）の駆動パルス（第3図参照）を印加し、これを1Hずつシフトし乍ら相隣る行を同時に表示する。

前記各水平ドライバ回路H D1及びH D2を駆動する各PWM信号は、各々標準（2V）映像信号を基準クロックパルス発生回路SCの出力でサンプリングし且つA D変換するA D変換回路A Dと、該出力を前記マトリックスパネルのライン分配電するラインメモリ（L M1或はL M2）及びPWM変調回路（PWM1或はPWM2）の組み合せ回路で作成される。

前記A D変換回路A Dは、図示の如くコンパレータCOMと、サンプリングホールド回路S P H及び例えば4ビットのエンコーダE Dで構成されるが基本的には周知であるので、説明は省略する。前記PWM変調回路PWMは、前記ラインメモリL Mの出力でアセットされ、PWM変調クロックパルス発生回路P Dの出力をカウントするダウンカウンタ（図示せず）と、垂直走査パルスに同期するアセットパルスP1でセットされ、前記ダウンコンバータの出力でリセットされるフリップフロップ回路（図示せず）で構成される。前記クロックパルス発生回路P Dは、サンプリングした原信号の階調に応じてA D変換される際の階調数に応じてその周波数を変え、例えば0乃至7までは $f = 551 \text{ KHz}$ 、8乃至15までは 157 KHz とすることによって、入力信号対PWM信号中の補正曲線に近似して非直線的PWM変調をかけて、総合的光入力対光出力特性の直線性を確保すべく構成している。前記軌道走査ドライバ回路V D1、V D2は、スキャンパルス発生回路の

出力を受け、マトリックスパネルの走査回路
SC1, SC2, SC3, SC4……に順次第4図
示の如き走査パルスを加え、奇、偶走査を行
同時に表示して行く。付図

次に、本発明装置の動作について第4図の縦
駆動パルス波形説明図を併せ添削しつつ説明する。

上記マトリックスパネルの行(水平)方向の
光電子の数に応じてその開閉を設定されるクロ
ックパルス発生回路SCの出力クロックパルスは、
サンプリングパルスとして上記A-D変換回路
A Dに加えられ入力複合映像信号をサンプリング
し、エンコーダB Dによりサンプリング点の原映
像の増減を表わすデジタル信号に変換する。

各走査走査電極、例えば、第1、第2、第3及
び第4走査電極に印加される走査パルスの時間開
保と、PWM変調回路を構成するダウンカウンタ
をプリセットのタイミング及びラインメモリへの
記憶のタイミングは第4図の如くなる。

即ち、或る走査線の映像信号がA/D変換され、
PCM信号としてラインメモリに記憶されると、

次の走査線の始まりでこのメモリの内容をPWM
のダウンカウンタにプリセットし、2Hかけて第
1行の走査線上の各光電子を点灯する。これと
並行して次走査線の映像信号がA/D変換され、
PCM信号としてラインメモリに記憶され、次の
走査線の始まりでPWMのダウンカウンタにプリ
セットされ、第2行の走査線上の電子を点灯する。
而して、相隣る走査行の光電子群が同時に(第
1、第2)、(第2第3)、(第3第4)行……
の如く相次光電子され、走査電極選択スイッチ
等の電流増益を増すことなく輝度を向上せしめ
ることが出来る。また第1図の如きマトリックスパ
ネルと組み合わせれば、補間効果により見勝上の解
像度を向上することが出来る。

4. 図面の簡単な説明

図面は、いずれも本発明装置に係り、第1図は
マトリックスパネルの要部正面図、第3図は駆動
回路のブロック図、第4図は波形説明図である。

(MP)……マトリックスパネル

(L)……光線素 (SG)……信号電極群

P

(SC)……走査電極群

(PWM)……PWM回路

(LM)……1ラインメモリ

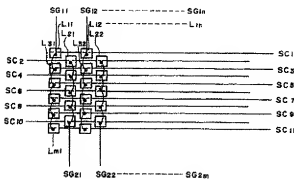
特許出願人

三洋電機株式会社

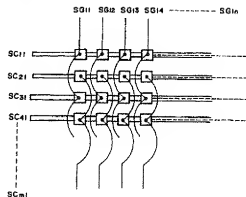
代表者 井植



第1図



第2図



第4図

走査パルス

